

#2  
4-24-02

J1040 U.S. PTO  
10/080884



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 특허출원 2001년 제 9381 호  
Application Number PATENT-2001-0009381

출원 년 월 일 : 2001년 02월 23일  
Date of Application FEB 23, 2001

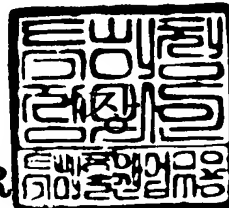
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001      년      08      월      31      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.02.23
【발명의 명칭】	반도체 장치의 트렌치 격리 형성 방법
【발명의 영문명칭】	METHOD OF FORMING A TRENCH ISOLATION IN AN INTEGRATED CIRCUIT DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김도형
【성명의 영문표기】	KIM, DO HYUNG
【주민등록번호】	681208-1537914
【우편번호】	156-090
【주소】	서울특별시 동작구 사당동 209-3번지 대아아파트 101동 1307호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성봉
【성명의 영문표기】	KIM, SUNG BONG
【주민등록번호】	640428-1163116
【우편번호】	442-400

【주소】	경기도 수원시 팔달구 망포동 488번지 벽산아파트 115동 1704호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	홍정인		
【성명의 영문표기】	HONG, JUNG IN		
【주민등록번호】	581009-1024722		
【우편번호】	449-840		
【주소】	경기도 용인시 수지읍 죽전리 중명아파트 103동 1002호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	5	면	5,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	9	항	397,000 원
【합계】	431,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

반도체 장치의 트렌치 격리 형성 방법을 제공한다. 반도체 기판에 트렌치를 형성한 후, 확산 방지 절연막을 형성하고, 열산화막을 상기 확산 방지 절연막과 접하는 트렌치 측벽 및 바닥 상에 형성하고, 질화막 라이너를 형성하고 트렌치를 완전히 채우도록 트렌치 격리 물질을 형성한다. 본 발명에 따르면, 질화막 라이너와 트렌치 사이에 확산 방지 절연막 및 열산화막의 복합막 구조를 제공하며, 이러한 복합막으로 질화막 라이너에 기인하는 트랜지스터 특성 열화를 최소화할 수 있고, 따라서 열산화막도 얇게 형성 할 수 있어 양호한 트렌치 식각 프로파일을 얻을 수 있으며, 이에 따라 리프레쉬 특성 악화 및 게이트 산화막이 트렌치 상부 모서리 부분에서 얇게 형성되는 문제를 방지할 수 있다.

**【대표도】**

도 7

## 【명세서】

## 【발명의 명칭】

반도체 장치의 트렌치 격리 형성 방법{METHOD OF FORMING A TRENCH ISOLATION IN AN INTEGRATED CIRCUIT DEVICE}

## 【도면의 간단한 설명】

도 1에서 부터 도 7은 본 발명의 바람직한 실시예에 따른 트렌치 격리 형성 방법을 설명하기 위해 공정 순서에 따른 반도체 기판의 개략적인 부분 단면도들이다.

도 8은 종래 트렌치 형성 방법에 따라 열산화막을 약 200Å 정도로 형성한 트렌치 격리 구조에 있어서, 게이트 산화막 형성 후의 반도체 기판을 보여주는 개략적인 단면도이다.

도 9는 종래 트렌치 형성 방법에 따라 열산화막을 약 100Å 정도로 형성한 트렌치 격리 구조에 있어서, 게이트 산화막 형성 후의 반도체 기판의 개략적인 단면도이다.

도 10은 종래 방법에 따라 트렌치 식각후 그 내부에 열산화막을 형성할 경우, 그 형성되는 두께에 따른 트랜지스터의 특성을 보기 위한 드레인에 가해지는 스트레스에 따른 드레인에 4볼트 전압이 인가될 때의 드레인 전류사이의 관계를 나타내는 그래프이다.

도 11은 본 발명에 따라 트렌치 형성후 증온산화막을 약 150Å 정도로 형성하고 이후에 열산화 공정을 진행하여 열산화막을 약 50Å 형성 했을 때의 스트레스에 따른 드레인 전류 사이의 관계를 나타내는 그래프이다.

\* 도면의 주요 부분에 대한 부호의 설명

100 : 실리콘 반도체 기판    120 : 패드 산화막

140 : 마스크 질화막    160 : 트렌치

180 : 물질막    200 : 열산화막

220 : 질화막 라이너    240 : 트렌치 격리 물질

260 : 게이트 산화막    280 : 게이트 전극

300 : 게이트 캐핑막

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13>    본 발명은 반도체 장치의 제조 방법에 관한 것으로서 더욱 상세하게는 반도체 장치의 트렌치 격리 형성 방법에 관한 것이다.

<14>    반도체 기판 상에 형성되는 소자의 격리를 위한 기술은 소자 구성의 가장 기본이 되는 트랜지스터 특성이나 소자의 신뢰성과 밀접한 관계를 갖는다. 그러므로, 효과적인 소자 격리 기술의 필요성은 소자의 발전과 함께 그 중요성이 커지고 있다. 소자 격리가 적절치 못하면 누설 전류를 야기하며 이는 반도체 칩에 공급되는 전원(power)의 막대한 손실로 나타난다. 또한, 래치업(latch-up)을

상승시켜 반도체 기능의 일시적 또는 영구적 손상을 초래한다. 더 나아가서, 노이즈 마진의 열화(degradation), 전압 이동(voltage shift), 또는 누화(crosstalk)로 이어진다.

<15> 소자 격리 기술로, 종래에는 국부적 실리콘 산화(local oxidation of silicon 이하 'LOCOS'라 한다) 방법이 사용되었다. 전형적인 LOCOS 구조는 패턴화된 실리콘 질화막과 패드 산화막(상기 실리콘 질화막에 의한 스트레스를 완화시키기 위해 사용된다)을 사용하여 하부의 활성영역을 마스크 하여 격리 영역에 이온 주입을 하고, 그리고 나서 두꺼운 필드 산화막을 국부적으로 형성함으로써 구현된다. 상술한 LOCOS 구조에서는 그 구현 과정에 따른 몇 가지 근본적인 문제점이 발생된다. 즉 상기 실리콘 질화막 마스크 하부의 실리콘이 측면방향으로 산화하며 이에 따라 필드 산화막의 에지(edge) 부분이 새의 부리 형상을 갖게 하고(소위 bird's beak), 채널 정지 도펀트(channel stop dopants)의 측면 확산은 상기 도펀트가 상기 활성 소자 영역을 잠식하게 하며, 그 결과 소정의 채널 폭보다 좁은 물리적 채널(physical channel)을 형성하게 한다. 상기 두 가지 문제점으로 인해 감소된 채널 부분은 초고집적 반도체(VLSI)를 제조할 경우에 있어서, 더욱더 상황을 어렵게 한다. 즉, 문턱 전압(threshold voltage)을 증가시키고, 전류 구동 능력(current driving capability)을 감소시킨다.

<16> LOCOS법이 여러 가지 단점을 야기함에 따라, 소정의 식각 마스크를 사용하여 반도체 기판을 일부 식각하고 식각에 의해 형성된 구조, 즉 트렌치를 절연물질로 채워 소자 격리를 완성하는 트렌치 격리 방법이 널리 사용되고 있다. 하지

만, 트렌치 식각에 따른 반도체 기판의 손상 문제, 후속 산화공정에 따른 트렌치 측벽의 반도체 기판의 산화 및 이에 따른 물리적 열적 스트레스가 야기된다.

<17> 따라서 최근 들어, 트렌치 식각후 트렌치 내벽에 열산화막을 형성하고 질화막 라이너를 형성하고 있다. 열산화막 형성 공정은 실리콘을 산화시켜 이산화실리콘( $\text{SiO}_2$ )을 형성하는 공정으로서, 트렌치 식각에 따른 기판 손상을 치유하기 위해 진행한다. 열산화 공정은 공정 분위기(ambient)에 따라 습식 열산화와 건식 열산화가 있으며, 두 경우 모두 기판 표면으로부터 실리콘이 소모되며, 성장하는 이산화실리콘막 대비 약 44%의 실리콘이 소모된다. 이후부터는 본 명세서에서 특별한 언급이 없으면, 열산화막의 두께를 언급할 경우, 실리콘 반도체 기판 내부로 형성되는 두께를 포함한 것을 의미한다.

<18> 그러나, 열산화막 두께에 따라 소모되는 실리콘의 양이 차이가 나고 이에 따라 트렌치 상부 모서리의 프로파일이 달라지게 된다. 즉, 열산화막의 두께가 두꺼울 수록 트렌치 프로파일은 불량해진다. 이를 알아보기 위해 본 발명자들은 열산화막의 두께에 따른 트렌치 상부 모서리의 프로파일을 검사해 보았다. 먼저 상술한 통상적인 트렌치 격리 형성 방법에 따라, 트렌치 형성 후 그 내부에 열산화막을 두껍게, 예를 들어 200Å 정도로 형성하였다. 도 8의 반도체 기판의 개략적인 단면도에서 볼 수 있듯이, 트렌치의 상부 모서리의 반도체 기판 프로파일이 샤프(sharp)해지고, 트렌치 상부 모서리 부분에 형성되는 게이트 산화막이 다른 부분에 비해 특히 얇게 형성되어 균일한 두께를 가지는 게이트 산화막을 형성하는 것이 어렵게 되어 게이트 산화막의 신뢰성을 확보할 수 없게 되는 문제점이



발생할 수 있다. 강한 전계가 인가되면 얇은 게이트 산화막이 파괴될 (break down) 수도 있다.

<19> 한편, 트렌치 형성 후 그 내부에 열산화막을 얇게, 예를 들어 약 100Å 정도로 형성해 보았다. 이 경우, 도 9의 반도체 기판의 개략적인 단면도에서 볼 수 있듯이, 트렌치 상부 모서리의 반도체 기판 프로파일은 곡선으로 양호하게 되었으며, 게이트 산화막이 트렌치 상부 모서리 부분에서 얇게 형성되는 것을 피할 수 있었다. 하지만, 후속 공정으로 질화막 라이너가 형성될 경우, 질화막 라이너 및 열산화막 계면에 발생하는 결함 또는 이들 막질 자체가 가질수 있는 결함으로 인해 트랜지스터 동작시 전계(스트레스)가 인가될 때, 계면 또는 막질 결함으로 인한 전하를 띤 입자, 이를 테면, 음전하 또는 양전하가(불순물질:impurity material) 질화막 라이너로 인해 트렌치 외부로 확산되어 빠져나가지 못하고 얇은 열산화막을 통해 반도체 기판으로, 즉 트렌치 상부 모서리쪽으로 확산하게 된다. 이는, 열산화막이 얇게 형성되어 불순물질을 충분히 트랩핑(trapping) 하지 못하기 때문이다. 특히, 양이온이 트렌치 측벽의 실리콘 반도체 기판에 도달하면 전기적 특성을 변화시켜 PMOS의 특성 열화를 야기하게 되고 대기 전류 불량을 유발시키는 원인으로 작용한다. 양이온이 얇은 산화막을 터널링 현상에 의해 통과하여 트렌치 측벽의 실리콘 반도체 기판에 침투하기 때문이다.

<20> 결국, 종래 열산화막 및 질화막 라이너를 채택하는 트렌치 구조에 있어서는 소자의 동작 특성이 열산화막 두께에 크게 의존하고 있었다. 즉, 양호한 스트레스 특성 및 양호한 트렌치 프로파일을 동시에 만족시킬 수 없었다.

**【발명이 이루고자 하는 기술적 과제】**

<21> 따라서 본 발명의 목적은 소자의 특성이 열산화막 두께에 거의 의존하지 않는 트렌치 격리 형성 방법을 제공하는 데 있다. 즉, 열산화막 및 질화막 라이너를 채택하는 트렌치 구조에 있어서, 열산화막 형성을 최소로 하면서도 질화막 라이너형성에 따른 트랜지스터 특성 열화를 방지할 수 있는 트렌치 형성 방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<22> 상술한 목적을 달성하기 위하여, 본 발명은 반도체 기판에 트렌치가 형성된 이후에, 기상증착방법에 의해 콘포말한 물질막 형성 공정을 진행하고, 상기 콘포말한 물질막 하부의 반도체 기판 즉, 트렌치 내벽인 트렌치 측벽 및 바닥 상에 열산화막을 얇게 형성하는 공정을 진행하고, 질화막 라이너를 상기 콘포말한 물질막 상에 형성하는 공정을 진행하는 것을 특징으로 하는 트렌치 격리 형성 방법을 제공한다.

<23> 구체적으로 반도체 기판의 소정 부분을 소정 깊이 식각하여 트렌치를 형성하는 제1공정, 상기 트렌치의 양측벽 및 바닥 상에 콘포말한 물질막을 형성하는 제2공정, 상기 제1공정으로 반도체 기판에 야기되는 식각 손상을 제거하기 위해 열산화 공정을 진행하여 상기 콘포말한 물질막과 상기 반도체 기판 사이에 열산화막을 얇게 성장시키는 제3공정, 상기 콘포말한 물질막 상에 상기 질화막 라이너를 형성하는 제4공정 및 상기 트렌치를 절연물질로 채우는 제5공정을 포함한다.

- <24> 바람직한 실시예에 있어서, 상기 콘포말한 물질막 및 상기 열산화막의 총 두께는 불순물질의 침투를 방지할 수 있도록 한다. 약 200Å 이상으로 형성된다. 예를 들어, 상기 콘포말한 물질막은 약 50Å에서 약 400Å의 두께 범위로 형성되고, 상기 열산화막은 약 20Å에서 약 150Å의 두께 범위로 형성된다. 바람직하게는 불순물질 침투를 방지할 수 있는 최소 두께로 형성하여 트렌치 격리 물질이 증착되기 전에 트렌치 내부에 형성되는 막질 두께를 최소화한다. 이렇게 함으로써 트렌치 격리 물질의 트렌치 충전 특성을 향상시키게 된다.
- <25> 다른 방법으로 열산화막을 먼저 형성하고 콘포말한 물질막을 형성할 수도 있다.
- <26> 상기 콘포말한 물질막은 반도체 기판에 영향을 주지 않는 절연막으로 예를 들면, 고온산화막(HTO), 중온산화막(MTO), 알루미늄 삼산화막( $\text{Al}_2\text{O}_3$ ), 탄탈륨 오산화막( $\text{Ta}_2\text{O}_5$ )등으로 형성될 수 있다.
- <27> 구체적으로 고온산화막의 경우, 약 800℃에서 소스 가스로는  $\text{SiH}_4$ ,  $\text{O}_2$  및  $\text{N}_2$ 를 사용하여 화학적 기상증착법으로 형성한다. 중온산화막은, 약 730℃에서 소스 가스로  $\text{SiH}_4$ ,  $\text{O}_2$  및  $\text{N}_2$ 를 사용하여 화학적 기상증착법으로 형성한다. 알루미늄 삼산화막은, 약 150sccm의 삼메틸 알루미늄( $\text{Al}(\text{CH}_3)_3$ )과 약 150sccm의 물( $\text{H}_2\text{O}$ )을 소스 가스로 사용하여 약 350℃에서 약 0.5 Torr의 압력하에서 화학적 기상증착법으로 형성하고, 탄탈륨 오산화막은, 기상증착법을 사용하며, 소스 가스로서  $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 와  $\text{O}_2$ 를 사용한다.

- <28>      상기 트렌치를 채우는 절연물질은 산화막으로서 고밀도플라즈마 산화막 또는 보론 및 인 불순물을 함유한 절연막(BPSG:borophosphosilicate glass)으로 형성한다. 고밀도플라즈마 산화막으로 트렌치를 채울 경우, 상기 질화막 라이너를 보호하기 위해 중온산화막을 더 형성하는 것이 바람직하다.
- <29>      바람직하게는, 상기 트렌치는, 상기 반도체 기판 상에 패드 산화막 및 마스크 질화막을 형성하고, 소자 분리 영역이 정의된 소정의 포토레지스트 패턴을 이용하여 상기 마스크 질화막 및 패드 산화막을 패터닝하고, 패터닝된 마스크 질화막 및 산화막을 이용하여 상기 반도체 기판을 소정 깊이 식각하여 형성한다.
- <30>      본 발명에 따르면, 트렌치 식각 프로파일을 양호하게 형성하여 게이트 산화막의 신뢰성을 확보 할 수 있도록 열산화막을 가능한 얇게 형성할 수 있는 동시에 질화막 라이너에 기인하는 불순물 침투를 방지할 수 있어 트랜지스터의 특성 열화를 피할 수 있다.
- <31>      이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 도 1에서 부터 도 7은 본 발명의 바람직한 실시예에 따른 트렌치 격리 형성 방법을 설명하기 위해 공정 순서에 따른 반도체 기판의 개략적인 부분 단면도들이다. 도 1은 트렌치(160)가 형성된 반도체 기판(100)의 부분 단면도를 나타내고 있다. 먼저 상기 반도체 기판(100) 상에 패드 산화막(120) 및 마스크 질화막(140)이 차례로 형성된다. 상기 마스크 질화막(140)은 소자 분리 영역을 정의하기 위한 식각 공정의 마스크 패턴으로 사용된다. 도시되지는 않았지만 상기 마스크 질화막(140) 상에 고온 산화막(HTO), 실리콘산화질화막(SiON) 또는 이들의 복합막으로 구성된 반사 방지막(ARC:anti-reflection coating)이 더 형성될

수 있다. 상기 패드 산화막(120)은 열산화 공정을 진행하여 형성하며 약 100Å에서 약 500Å의 두께를 가지도록 형성되며, 상기 마스크 질화막(140)은 저압화학기상증착법을 사용하여 약 500Å에서 약 3000Å의 두께를 가지도록 형성된다. 다음, 잘 알려진 사진 및 식각 공정을 진행하여 상기 마스크 질화막(140) 및 패드 산화막(120)을 식각하여 소자분리영역을 정의한다. 상기 마스크 질화막을 식각 마스크로 사용하여 상기 반도체 기판(100)을 소정 깊이 식각하여 상기 트렌치(160)를 형성한다.

<32> 종래의 경우, 트렌치 형성후 트렌치 내벽, 즉 트렌치 바닥 및 양측벽에 열산화막을 형성시키는 열산화 공정이 진행되었다. 이때 라운드진 상부 모서리를 형성하기 위해서는 열산화막이 얇게 형성하여야 한다. 그러나 열산화막의 두께가 너무 얇으면, 후속 질화막 라이너 형성으로 인해 불순물질이 상기 반도체 기판으로, 특히 트렌치 상부 모서리를 통해, 침투하게 된다.

<33> 도 10은 종래 방법에 따라 트렌치 형성 직후 열산화막을 형성했을 경우, 열산화막 두께에 따른 스트레스와 드레인 전류 사이의 관계를 나타내는 그래프이다. 그래프에서 수평축은 약 1810초 동안 가해진 스트레스(V:볼트)를 나타내고, 수직축은 스트레스 직후의 게이트, 소스 및 웰이 0볼트(V), 그리고 드레인을 4볼트로 인가한 상태에서의 드레인 전류(A:암페어)를 나타낸다. 즉, 트랜지스터의 특성을 알아보기 위해, 인위적으로 드레인 전극에 스트레스를 각각 약 3.5볼트, 4.8볼트, 5.5볼트로 약 1810초 동안 인가한 직후, 드레인에 4볼트의 전압을 인가해서 그 드레인 전류를 측정해 보았다. 여기서 게이트 전극으로는 약 1000Å의 폴리실리콘 및 약 1000Å의 텅스텐실리사이드가 적층된 게이트 구조

를 사용하였고, 소스/드레인은 비소를 약 40keV의 에너지로 약  $3.0 \times 10^{15}$  의 도즈(dose) 범위로 진행하여 형성하였다.

<34> 도시된 바와 같이, 열산화막이 약 200Å 정도로 형성된 경우가 각 스트레스에 대해서 드레인 전류가 가장 낮으며, 또한 스트레스 변화에도 드레인 전류가 거의 변하지 않는다는 것을 알 수 있다. 그리고, 열산화 정도가 낮을 수록, 즉 형성되는 열산화막의 두께가 얇을 수록 드레인 전류가 증가하며, 또한 스트레스가 증가할 수록 드레인 전류도 점점 증가하는 것을 알 수 있다. 따라서 열산화막은 어느 정도 두께 이상 형성되는 것이 바람직함을 알 수 있다.

<35> 따라서 열산화막의 두께를 두껍게, 약 200Å 이상 형성하여야 하나, 이 경우, 도 8에 도시된 바와 같이, 트렌치 상부 모서리의 프로파일이 샤프하게 되고, 게이트 산화막이 상대적으로 다른 부분에 비해 얇게 형성되게 되고, 그 부분에 전기장이 집중하게 된다.

<36> 그러나, 본 발명에 따르면, 질화막 라이너와 트렌치 내벽 사이에 질화막 라이너 형성으로 인해 불순물질이 침투하는 것을 방지할 수 있도록 열산화막을 포함한 불순물질 확산 방지막을 형성하는 것을 특징으로 한다. 즉, 트렌치 형성 후 열산화막 형성 전에 불순물질 침투 방지를 위한 물질막을 형성하고 이후 열산화 공정을 통해 열산화막은 최소한으로 형성한다.

<37> 구체적으로 도 2 및 도 3을 참조하여 설명한다. 트렌치(160) 형성 후, 곧바로 열산화 공정을 진행하지 않고, 물질막(180)을 트렌치 내벽을 포함하여 마스크 질화막 상에 기상증착방법으로 콘포말하게 형성 한 이후에 열산화 공정을 진

행하며, 열산화 공정으로 열산화막(200)이 상기 물질막(180) 하부의 트렌치 내벽에 형성된다. 이때, 상기 물질막 및 열산화막의 총 두께는 후속 질화막 라이너 형성에 따른 불순물질 침투를 방지할 수 있는 두께 이상, 예를 들면 약 200Å 이상으로 형성한다. 예를 들면 상기 물질막(180)은 약 50Å에서 약 400Å 정도의 두께 범위로 형성한다. 그리고, 상기 열산화막(200)은 약 20Å에서 약 150Å 정도의 두께 범위로 형성한다. 또한 후속 트렌치 격리 물질의 단차도포성을 고려하여 상기 열산화막(200)은 최소 두께로 형성되는 것이 더 바람직하며, 약 20Å에서 약 50Å의 두께 범위로 형성된다. 만약 물질막이 약 150Å 정도 형성된다면, 열산화 공정으로 형성되는 열산화막은 약 60Å 정도 형성하고, 이에 따라 총 두께는 약 210Å 정도가 될 것이다.

<38> 구체적으로 상기 물질막(180)으로 고온산화막(HTO:high temperature oxide), 중온산화막(MTO:middle temperature oxide), 알루미늄 삼산화막, 탄탈륨 오산화막 등이 사용될 수 있다. 여기에 열거한 막질 들은 단지 예시적인 것에 지나지 않으며, 반도체 기판에 영향을 주지 않는 유전막질은 어떤 것이라도 사용될 수 있다. 고온산화막의 경우, 약 800℃ 에서 소스 가스로는  $\text{SiH}_4$ ,  $\text{O}_2$  및  $\text{N}_2$ 를 사용하여 화학적 기상증착법으로 형성한다. 중온산화막은, 약 730℃ 에서 소스 가스로  $\text{SiH}_4$ ,  $\text{O}_2$  및  $\text{N}_2$ 를 사용하여 화학적 기상증착법으로 형성한다. 알루미늄 삼산화막은, 약 150sccm의 삼메틸 알루미늄( $\text{Al}(\text{CH}_3)_3$ )과 약 150sccm의 물( $\text{H}_2\text{O}$ )을 소스 가스로 사용하여 약 350℃에서 약 0.5 Torr의 압력하에서 화학적 기상증착법으로 형성하고, 탄탈륨 오산화막은, 기상증착법을 사용하며, 소스 가스로서  $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 와  $\text{O}_2$ 를 사용하여 형성한다.

<39>      상기 물질막(180)을 트렌치 내벽에 형성한 후, 열산화 공정을 진행하여 상기 열산화막(200)이 형성되며, 이때, 도 3에 도시된 바와 같이 상기 열산화막(200)은 상기 물질막(180) 하부의 트렌치 내벽 즉, 트렌치 바닥 및 측벽 상에 형성된다. 이때 상기 물질막(180)은 열산화 공정에서 산소의 확산을 방지하는 역할을 하기때문에, 트렌치 형성 직후 곧 바로 열산화막을 형성하는 경우와 비교할 때에, 성장하는 열산화막은 동일한 조건하에서 감소한다. 따라서, 열산화 공정으로 반도체 식각 손상을 치유하면서도 최소한의 두께로 열산화막을 형성할 수 있다.

<40>      다음 도 4를 참조하면, 상기 물질막(180) 및 열산화막(200)이 형성된 결과물 상에 질화막 라이너(220)가 약 30Å에서 약 100Å의 두께 범위로 형성된다. 상기 질화막 라이너(220)는 트렌치 내벽의 산화를 방지하고, 트렌치 내벽에 가해지는 스트레스를 완화시키는 버퍼층으로 작용한다.

<41>      다시 도 4를 참조하면, 트렌치 격리 물질(240)이 트렌치를 완전히 채우도록 상기 마스크 질화막(140) 상에 형성된다. 트렌치 격리 물질로 예를 들면, 고밀도플라즈마 산화막(HDP oxide), 또는 보론 및 인 불순물을 함유하는 절연막(BPSG) 등이 사용될 수 있다. 이때 약 3000Å에서 약 10000Å의 두께 범위로 증착되며, 고온 치밀화 공정을 진행하여 막질을 치밀화 시킨다. 여기서 트렌치 격리 물질로 고밀도 플라즈마 산화막이 사용될 경우, 그 하부의 질화막 라이너를 보호하기 위해 증온산화막을 형성하는 것이 바람직하다.

<42>      다음 도 5를 참조하면, 상기 마스크 질화막(140)을 식각 정지층으로 사용하여 상기 트렌치 격리 물질(240)에 대해 평탄화 공정, 예를 들면 물리화학적 연마



공정(CMP)을 진행한다. 이후, 통상적인 공정으로 상기 마스크 질화막(140), 패드 산화막(120)을 제거하는 공정이 진행되어 트렌치 격리를 완성한다. 이때, 질화막 라이너(220)와 마스크 질화막(140) 사이에 물질막(180)이 형성되어 있기 때문에, 즉, 마스크 질화막과 질화막 라이너가 트렌치 상부 모서리 부분에서 서로 연결되어 있지 않기 때문에, 마스크 질화막 제거시 질화막 라이너가 동시에 일부 식각되어 트렌치 내부로 흠이 파이는(이른바 '덴트(dent)') 현상을 최소화 할 수 있다.

<43>       트렌치 격리 형성 이후 상기 반도체 기판 상에 반도체 제조에 필요한 여러 공정을 진행한다. 먼저 MOSFET(metal oxide silicon field effect transistor) 공정이 진행된다. 도 6을 참조하면, 희생산화막 형성 공정 및 세정 공정 등이 진행되고 게이트 산화막 형성 공정이 진행되어 게이트 산화막(260)이 반도체 기판(100) 상에 형성된다. 본 발명에 따르면, 열산화막이 가능한 얇게 형성될 수 있기 때문에, 트렌치 상부 모서리 부분의 식각 프로파일이 라운드진 형상을 하게 되고 따라서 도식된 바와 같이 게이트 산화막이 그곳에서 얇게 형성되는 것을 피할 수 있다.

<44>       다음 도 7을 참조하면, 상기 게이트 산화막(260)을 형성한 후 연속하여 게이트 전극(280) 및 게이트 캐핑막(300)을 형성한다.

<45>       후속 공정으로 상기 반도체 기판(100)과 반대 도전형의 불순물질을 주입하여 소스/드레인 영역(도면에 미도시)을 형성한다.

<46>       도 11은 본 발명에 따라 불순물질 확산 방지막인 중온산화막을 약 150Å 정도로 형성 하고, 그 이후 열산화막을 약 50Å 정도로 형성했을 때의 스트레스에

따른 드레인 전류를 나타내는 그래프이다. 산화막 두께에 따른 스트레스와 드레인 전류 사이의 관계를 나타내는 그래프이다. 실험조건은 그래프 10에서와 동일하게 수평축은 약 1810초 동안 가해진 스트레스(V:볼트)를 나타내고, 수직축은 게이트, 소스 및 웰이 0볼트(V), 그리고 드레인을 4볼트로 인가한 상태에서의 드레인 전류(A:암페어)를 나타낸다. 도 10과 비교해보면, 종래 물질막 없이 열산화막을 약 200Å 정도로 형성했을 경우와 거의 동일한 특성을 나타냄을 알 수 있다. 즉, 열산화막은 얇게 형성하여 트렌치 프로파일은 양호하게 하면서도 스트레스 특성 또한 우수하게 할 수 있음을 알 수 있다.

<47> 바람직한 실시예에 의거하여 본 발명이 기술되었지만, 본 발명의 범위는 여기에 한정되는 것은 아니다. 오히려, 다양한 변형 및 비슷한 배열들도 포함한다. 예를 들어, 물질막 형성 공정과 열산화막 형성 공정의 순서를 바꿔 진행할 수 도 있다. 즉, 먼저 열산화막을 얇게 형성하고 본 발명에 따른 물질막을 형성할 수 도 있다. 따라서 본 발명의 청구범위의 진정한 범위 및 사상은 다양한 변형 및 비슷한 배열을 포함할 수 있도록 가장 넓게 해석되어야 한다.

#### 【발명의 효과】

<48> 따라서 상술한 본 발명에 따르면, 열산화막의 두께를 얇게 형성할 수 있어 트렌치 상부 모서리 부분에서의 프로파일을 라운드지게 유지할 수 있고 이에 따라 트렌치 상부 모서리 부분에서 게이트 산화막이 얇게 형성되는 문제를 방지할 수 있어, 게이트 산화막의 신뢰성을 확보할 수 있다. 또한 이와 동시에, 얇은 열산화막의 물질 침투 방지 능력을 보완하는 물질막이 형성됨으로써 열산화막 및

불순물질 확산 방지막이 질화막 라이너 형성에 따른 불순물질이 침투하는 것을 방지하여 트랜지스터 특성 열화를 방지할 수 있다.

<49> 또한 상기 물질막이 질화막 라이너와 마스크 질화막 사이에 형성되기 때문에 후속 마스크 질화막 제거 공정에서 질화막 라이너 식각 액이 트렌치 내부의 질화막 라이너를 따라 침투하는 것을 방지할 수 있어 파임(dent) 없는 트렌치 격리를 구현 할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 내에 질화막 라이너(nitride liner)를 포함하는 트렌치 격리를 형성하는 방법에 있어서,

상기 반도체 기판을 소정 깊이 식각하여 트렌치를 형성하는 제1공정;

상기 트렌치의 양측벽 및 바닥 상에 콘포말한 물질막을 형성하는 제2공정;

상기 제1공정으로 반도체 기판에 야기되는 식각 손상을 제거하기 위해 열산화 공정을 진행하여 상기 콘포말한 물질막과 상기 반도체 기판 사이에 열산화막을 얇게 성장시키는 제3공정;

상기 콘포말한 물질막 상에 상기 질화막 라이너를 형성하는 제4공정; 및

상기 트렌치를 완전히 채우도록 트렌치 격리 물질을 형성하는 제5공정을 포함하는 것을 특징으로 하는 트렌치 격리 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 콘포말한 물질막은 고온산화막(HTO), 중온산화막(MTO), 알루미늄 삼산화막( $Al_2O_3$ ) 또는 탄탈륨 오산화막( $Ta_2O_5$ )으로 형성되는 것을 특징으로 하는 트렌치 격리 형성 방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

상기 콘포말한 물질막은 약 50Å에서 약 400Å의 두께 범위로 형성되고, 상기 열산화막은 약 20Å에서 약 150Å의 두께 범위로 형성되는 것을 특징으로 하는 반도체 장치의 트렌치 격리 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 트렌치 격리 물질은 고밀도플라즈마 산화막 또는 BPSG막으로 형성되며 약 3000Å에서 약 10000Å의 두께 범위로 형성되는 것을 특징으로 하는 반도체 장치의 트렌치 격리 형성 방법.

**【청구항 5】**

반도체 기판 내에 질화막 라이너(nitride liner)를 포함하는 트렌치 격리를 형성하는 방법에 있어서,

상기 반도체 기판을 소정 깊이 식각하여 트렌치를 형성하는 단계와;

상기 질화막 라이너 형성에 기인하는 불순물질의 침투를 방지하는 불순물질 확산 방지막을 상기 트렌치 양측벽 및 바닥 상에 형성하는 단계와;

상기 불순물질 확산 방지막 상에 상기 질화막 라이너를 형성하는 단계와;

상기 질화막 라이너 상에 상기 트렌치를 완전히 채우도록 트렌치 격리 물질을 형성하는 단계를 포함하는 것을 특징으로 하는 트렌치 격리 형성 방법.

**【청구항 6】**

제 5 항에 있어서,

상기 불순물질 확산 방지막을 형성하는 단계는,

상기 트렌치 형성 후, 콘포말한 물질막을 상기 트렌치 양측벽 및 바닥 상에 형성하는 단계와;

상기 반도체 기판 식각시 발생하는 손상을 제거하기 위해 열산화 공정을 진행하여 상기 콘포말한 물질막과 상기 반도체 기판 사이에 열산화막을 얇게 성장시키는 단계를 포함하여 이루어지는 것을 특징으로 하는 트렌치 격리 형성 방법.

**【청구항 7】**

제 6 항에 있어서,

상기 콘포말한 물질막은 약 50Å에서 약 400Å의 두께 범위로 형성되고, 상기 열산화막은 약 20Å에서 약 150Å의 두께 범위로 형성되는 것을 특징으로 하는 반도체 장치의 트렌치 격리 형성 방법.

**【청구항 8】**

제 6 항 또는 제 7 항에 있어서,

상기 콘포말한 물질막은 고온산화막(HTO), 중온산화막(MTO), 알루미늄 삼산화막( $Al_2O_3$ ) 그리고 탄탈륨 오산화막( $Ta_2O_5$ )을 포함하는 것을 특징으로 하는 트렌치 격리 형성 방법.

**【청구항 9】**

제 5 항에 있어서,

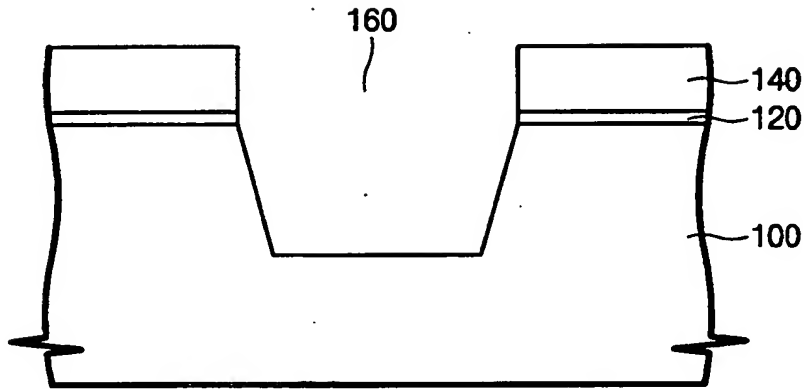
상기 불순물질 확산 방지막을 형성하는 단계는,

상기 트렌치 형성 후, 상기 반도체 기판 식각시 발생하는 손상을 제거하기 위해 열산화 공정을 진행하여 상기 트렌치 양측벽 및 바닥 상에 열산화막을 형성하는 단계와;

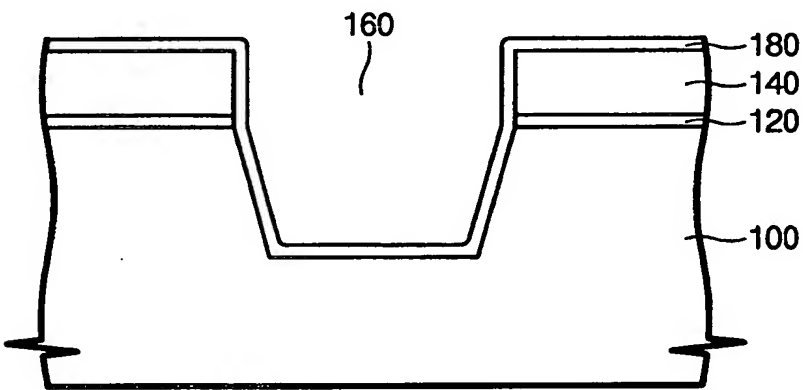
상기 열산화막 상에 콘포말한 물질막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 트렌치 격리 형성 방법.

【도면】

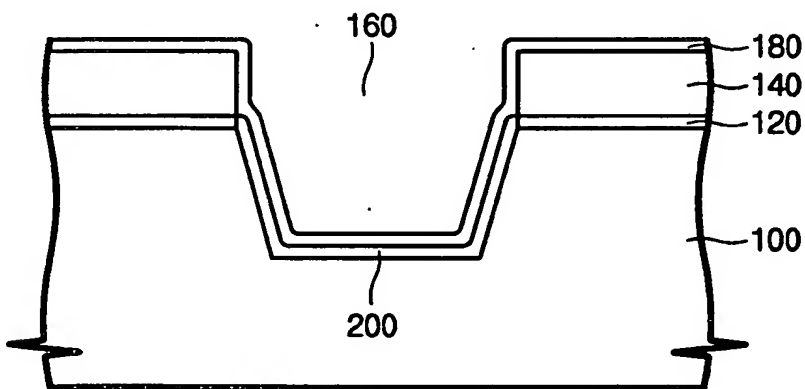
【도 1】



【도 2】

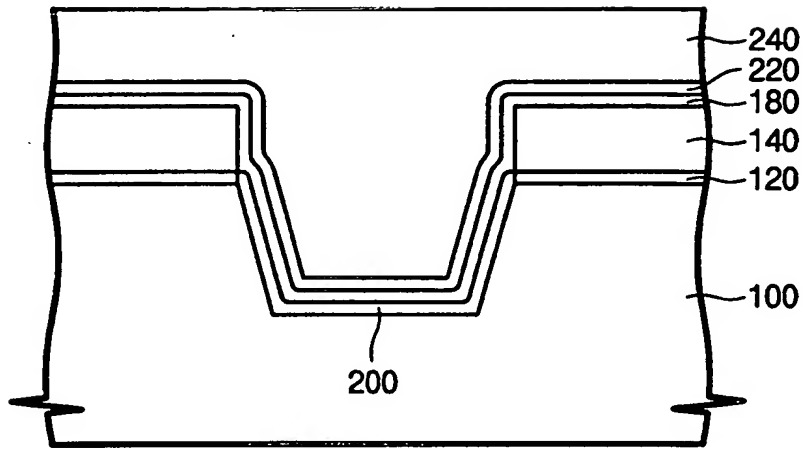


【도 3】

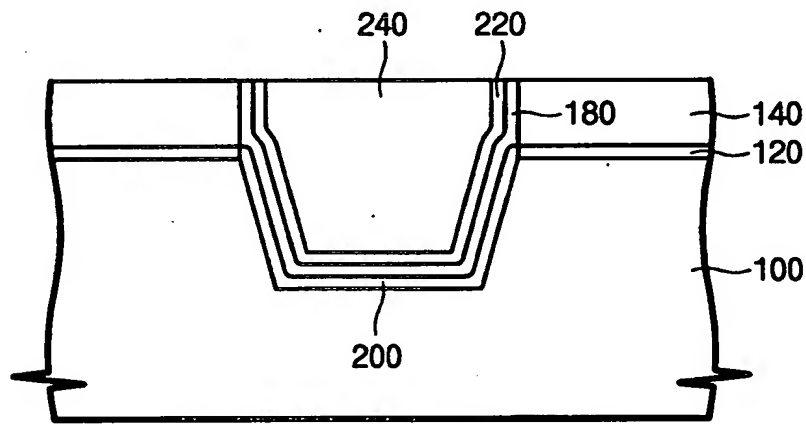




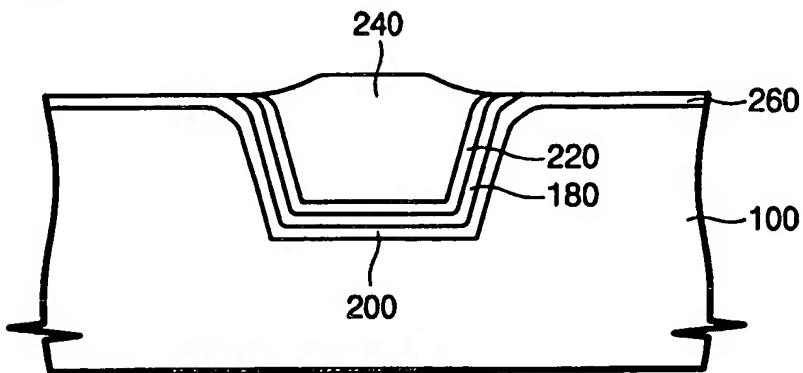
【도 4】



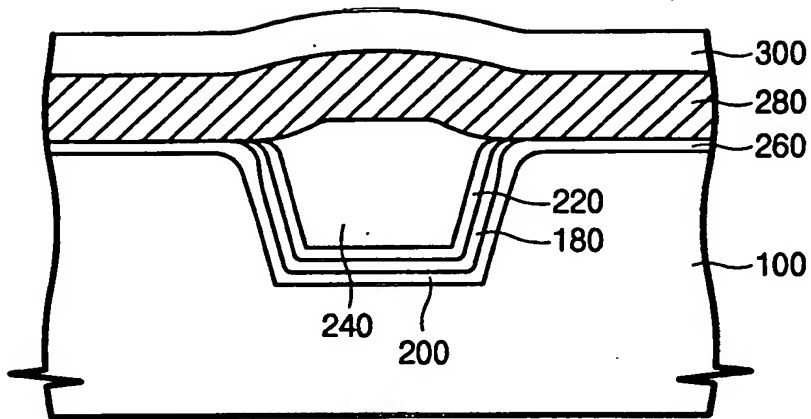
【도 5】



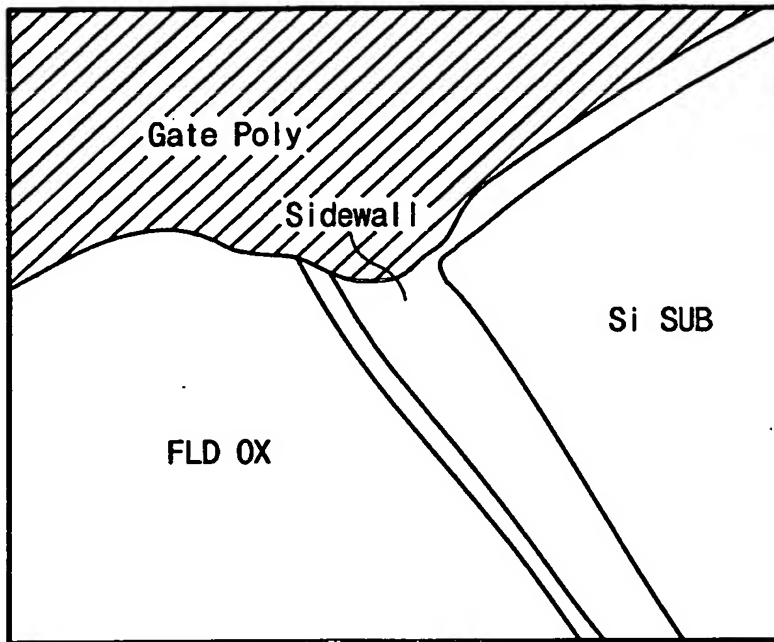
【도 6】



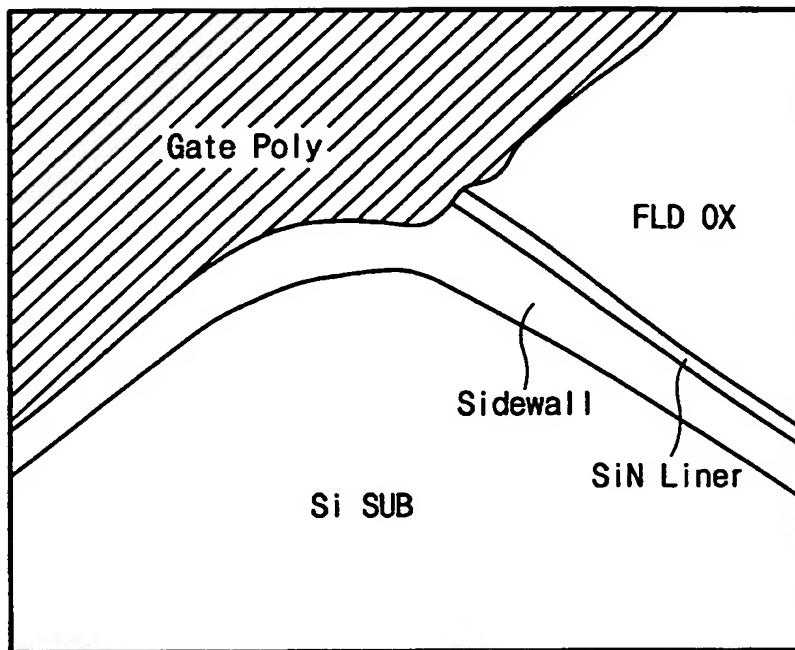
【도 7】



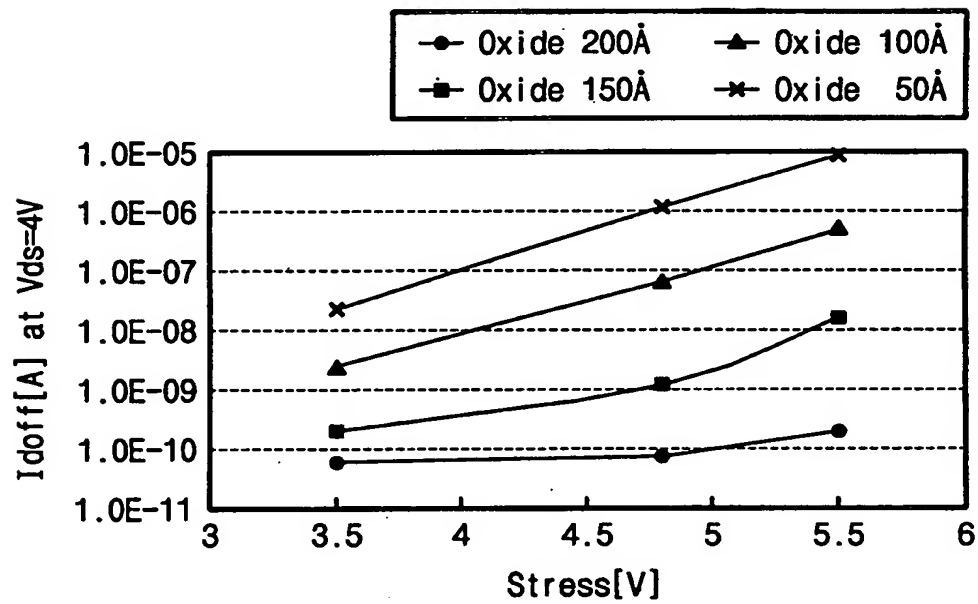
【도 8】



【도 9】



【도 10】



【도 11】

